

VITERBI DECODING CIRCUIT

Patent Number: JP5206871
Publication date: 1993-08-13
Inventor(s): KAWAZOE KATSUHIKO; others: 03
Applicant(s): NIPPON TELEGR & TELEPH CORP
Requested Patent: JP5206871
Application Number: JP19920012431 19920127
Priority Number(s):
IPC Classification: H03M13/12
EC Classification:
Equivalents:

Abstract

PURPOSE:To cope with the connection change between pass memory circuits without increase of the amount of hardware when the pass memory is divided into several memories as Viterbi decoding circuits having a smaller state number than an original state number.

CONSTITUTION:In the Viterbi decoding circuit having a constrained length K in which a pass memory circuit 10 consists of a shift register with a selection function, a pass select signal to be inputted to the even-numbered stage and odd-numbered stage of the pass memory circuit 10 is separately provided. When the pass memory circuit 10 is used as the pass memory circuit of the Viterbi decoding circuit having the constrained length of K, the same pass select signal is given to the pass memory circuits at the even-numbered stage and the odd-numbered stage. When it is used as the pass memory circuit of the Viterbi decoding circuit having the constrained length of (K-1) or below, the pass memory circuit at the even-numbered stage or odd-numbered stage are given the pass select signal having a fixed value.

Data supplied from the esp@cenet database - I2

特開平5-206871

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁵

H 03M 13/12

識別記号

府内整理番号

F I

技術表示箇所

(21)出願番号 特願平4-12431

(22)出願日 平成4年(1992)1月27日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 川添 雄彦

東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(72)発明者 本田 俊二

東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(72)発明者 久保田 周二

東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

(74)代理人 弁理士 古谷 史旺

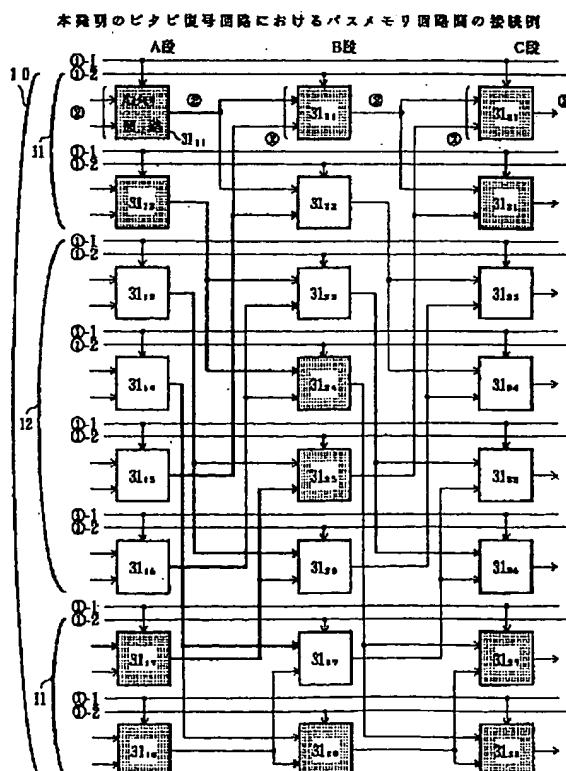
最終頁に続く

(54)【発明の名称】ビタビ復号回路

(57)【要約】

【目的】 豊み込み符号を受信して誤り訂正を行う誤り訂正回路で複数種類の状態変移数で使用可能なバスメモリ回路を備えたビタビ復号回路に関し、元の状態数より小さい状態数を有するビタビ復号回路として複数個に分割する場合に、ハードウェア量の増加を伴わずにバスメモリ回路間の接続変更に対応できる。

【構成】 バスメモリ回路が選択機能付きシフトレジスタで構成される拘束長Kのビタビ復号回路において、前記バスメモリ回路の偶数段および奇数段に入力されるバスセレクト信号を個別に備え、前記バスメモリ回路を拘束長Kのビタビ復号回路のバスメモリ回路として使用する場合には偶数段および奇数段のバスメモリ回路に同一のバスセレクト信号を与え、拘束長K-1以下のビタビ復号回路のバスメモリ回路として使用する場合には偶数段または奇数段のバスメモリ回路に固定値のバスセレクト信号を与えることを特徴とする。



【特許請求の範囲】

【請求項 1】 パスメモリ回路が選択機能付きシフトレジスタで構成される拘束長Kのビタビ復号回路において、

前記パスメモリ回路の偶数段および奇数段に入力されるパスセレクト信号を個別に備え、前記パスメモリ回路を拘束長Kのビタビ復号回路のパスメモリ回路として使用する場合には偶数段および奇数段のパスメモリ回路に同一のパスセレクト信号を与え、拘束長K-1以下のビタビ復号回路のパスメモリ回路として使用する場合には偶数段または奇数段のパスメモリ回路に固定値のパスセレクト信号を与えることを特徴とするビタビ復号回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、畳み込み符号を受信して誤り訂正を行う誤り訂正回路において、複数種類の状態変移数で使用可能なパスメモリ回路を備えたビタビ復号回路に関する。

【0002】

【従来の技術】 ビタビ復号回路は、畳み込み符号に対して非常に高い符号化利得が得られる誤り訂正回路であるが、高速動作させる場合には膨大なハードウェア量が必要となるので、所定の符号化率や拘束長に対応するには符号化利得を譲歩せざるを得なかった。

【0003】 図2は、従来のビタビ復号回路の構成例を示すブロック図である。図において、入力端子211, 212に入力される受信畳み込み符号は、加算比較選択(ACS(Add Compare Select))部22に入力される。加算比較選択部22の各ACS回路(ACS₁～ACS₄)では、加算・比較・選択機能により畳み込み符号の各状態の生き残りパスとそのパスメトリック(尤度)が計算される。加算比較選択部22で算出されたパスメトリック①は最尤判定回路23に供給され、パスセレクト信号②はパスメモリ回路24に供給される。最尤判定回路23は、各パスメトリック①に応じて各パスメモリ系列に蓄えられた情報の中から最も尤度が高い系列を判定し、そのパスメモリ系列の最終ビット③を復号データとして出力端子25に出力する。

【0004】 ここで、パスメモリ回路24は、パスセレクト信号②に従って生き残りパスを更新し、記憶する回路であり、各ACS回路ごとに選択機能付きシフトレジスタが縦に接続されて全部で状態数個の系列をなし、そのシフトレジスタ系列の相互間が畳み込み符号の状態遷移に合わせて結合される。なお、状態数Nとは、符号化率n/m、拘束長Kとした信号列の取りうる状態の数であり、

$$N = 2^{n(K-1)}$$

として与えられる。

【0005】 図3は、従来のビタビ復号回路(状態数8)におけるパスメモリ回路間の接続例を示す図であ

る。図において、各パスメモリ回路31は、パスセレクト信号①により前段のパスメモリ回路からのパス②を選択して記憶し、次段のパスメモリ回路に与える。ここで、各パスメモリ回路31の構成例を図4に示す。パスセレクト信号①はアンドゲート41およびインバータ42を介してアンドゲード43に与えられ、それぞれ前段のパスメモリ回路からのパス②との論理積がとられる。各論理積出力はオアゲート44を介して次段のパスメモリ回路へのパス②となる。

【0006】 なお、図3において、パスメモリ回路31₁₁, 31₁₅には次段のパスメモリ回路31₂₁, 31₂₂が接続され、パスメモリ回路31₁₂, 31₁₆には次段のパスメモリ回路31₂₃, 31₂₄が接続され、パスメモリ回路31₁₃, 31₁₇には次段のパスメモリ回路31₂₅, 31₂₆が接続され、パスメモリ回路31₁₄, 31₁₈には次段のパスメモリ回路31₂₇, 31₂₈が接続される。パスメモリ回路31₂₁～31₂₈と次段のパスメモリ回路31₃₁～31₃₈との接続についても同様である。

【0007】 さて、このようなビタビ復号回路の状態数を削減し、元の状態数のビタビ復号回路を複数個に分割して並列処理に振り分ける構成とすることにより、符号化利得は低下するものの高速動作を可能にすることができる。ただし、状態数の削減に応じて状態変移数が変わるので、パスメモリ回路間の接続が変更になる。

【0008】 図5は、従来法により状態数8から状態数4への変更時のパスメモリ回路間の接続例を示す図である。図において、点線で示すパス③が、状態数4に変更する場合に必要となり、各パスメモリ回路32が選択するのは前段のパスメモリ回路からのパス②, ③の3本となる。また、各パスメモリ回路32には、パスセレクト信号①-1, ①-2の2本を入力する必要がある。

【0009】 ここで、各パスメモリ回路32の構成例を図6に示す。パスセレクト信号①-1はアンドゲート41およびインバータ42を介してアンドゲード43に与えられ、それぞれ前段のパスメモリ回路からのパス②との論理積がとられる。各論理積出力はオアゲート44を介してアンドゲート45に与えられる。また、パスセレクト信号①-2はアンドゲート46およびインバータ47を介してアンドゲード45に与えられ、前段のパスメモリ回路からのパス③との論理積およびオアゲート44の出力との論理積がとられる。各論理積出力はオアゲート48を介して次段のパスメモリ回路へのパス②, ③となる。

【0010】

【発明が解決しようとする課題】 このように、高速化を図る目的でビタビ復号回路を複数個に分割しても、従来法では状態数の削減に応じてパスメモリ回路間の接続が変更になり、それに伴って各パスメモリ回路で選択するパスが増え(上述の例では2本から3本に増える)、回路規模の増大をもたらしていた。

【0011】本発明は、元の状態数より小さい状態数を有するビタビ復号回路として複数個に分割する場合に、ハードウェア量の増加を伴わずにパスメモリ回路間の接続変更に対応できるビタビ復号回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、パスメモリ回路が選択機能付きシフトレジスタで構成される拘束長Kのビタビ復号回路において、前記パスメモリ回路の偶数段および奇数段に入力されるパスセレクト信号を個別に備え、前記パスメモリ回路を拘束長Kのビタビ復号回路のパスメモリ回路として使用する場合には偶数段および奇数段のパスメモリ回路に同一のパスセレクト信号を与え、拘束長K-1以下のビタビ復号回路のパスメモリ回路として使用する場合には偶数段または奇数段のパスメモリ回路に固定値のパスセレクト信号を与えることを特徴とする。

【0013】

【作用】本発明は、偶数段または奇数段のパスメモリ回路に固定値のパスセレクト信号を与えることにより、そのパスメモリ回路は常に特定のパスを選択することになる。状態数を変更する場合にこのようなパスメモリ回路を配置することにより、2系列のパスメモリ回路に分割することが可能となる。すなわち、パスメモリ回路が選択する前段のパスメモリ回路からの入力数を増加せずに、状態数に応じたパスメモリ回路間の接続を実現することができる。

【0014】

【実施例】図1は、本発明のビタビ復号回路におけるパスメモリ回路間の接続例を示す図である。なお、本発明は、状態数Nにかかわらず適用可能であるが、本実施例の説明では状態数8から状態数4への変更時のパスメモリ回路間の接続例について示す。すなわち、状態数8のパスメモリ回路10を状態数4のパスメモリ回路11, 12として使用する構成例である。

【0015】図において、本実施例におけるパスメモリ回路間の接続は図3に示す接続例と同様である。ただし、図5に示すように2系統のパスセレクト信号①-1, ①-2を用意し、A段およびC段のパスメモリ回路3111～3118, 3131～3138にはパスセレクト信号①-1を与え、B段のパスメモリ回路3121～3128にはパスセレクト信号①-2を与える。

【0016】本回路を状態数8のパスメモリ回路10として使用する場合には、各パスメモリ回路31が選択するパスを制御するパスセレクト信号①-1, ①-2は同一の信号とする。すなわち、A段およびC段のパスメモリ回路3111～3118, 3131～3138と、B段のパスメモリ回路3121～3128とは同一の機能を果たし、従来と同様のパスメモリ回路が構成される。

【0017】一方、状態数4のパスメモリ回路11, 1

2として使用する場合には、A段のパスメモリ回路3111～3118は、パスセレクト信号①-1により前段のパスメモリ回路からのパス②を選択して記憶し、次のB段のパスメモリ回路3121～3128に与える。B段のパスメモリ回路3121～3128は、パスセレクト信号①-2によりA段のパスメモリ回路からのパス②を選択して記憶し、次のC段のパスメモリ回路3131～3138に与える。このパスセレクト信号①-2は、従来のACS回路から送信される信号とは異なり、B段のパスメモリ回路3121～3128が常に一方のパス（図中太線で示す）を選択する固定値とする。さらに、C段のパスメモリ回路3131～3138は、パスセレクト信号①-1により前段のパスメモリ回路からのパス②を選択して記憶し、次段のパスメモリ回路に与える。

【0018】このように、常に同一のパスを選択するパスメモリ回路をB段に配置することにより、A段のパスメモリ回路とC段のパスメモリ回路の間を接続するパスは、状態数4のビタビ復号回路のパスメモリ回路の接続とすることができる。この場合には、上2列と下2列から構成されるパスメモリ回路11と、中段4列から構成されるパスメモリ回路12の2系列が形成される。なお、各パスメモリ回路31の構成は状態数8の場合と同様であり、図4に示すものを使用することができる。すなわち、状態数の削減に伴う回路規模の増大を回避することができる。

【0019】

【発明の効果】以上説明したように本発明は、ビタビ復号回路をその状態数より小さい状態数に対応するビタビ復号回路として複数個に分割する場合に、パスメモリ回路内で常に同一パスを選択するパスメモリ回路を配置し、状態数が変更されるときに必要となるパスメモリ回路間の接続切り替えを可能にすることにより、パスメモリ回路の構成を前の状態数のものと同じにすることができる。すなわち、回路規模を増大させることなく、元の状態数より小さい状態数を有するビタビ復号回路のパスメモリ回路間の接続変更を行うことができる。

【図面の簡単な説明】

【図1】本発明のビタビ復号回路におけるパスメモリ回路間の接続例を示す図である。

【図2】従来のビタビ復号回路の構成例を示すブロック図である。

【図3】従来のビタビ復号回路（状態数8）におけるパスメモリ回路間の接続例を示す図である。

【図4】パスメモリ回路31の構成例を示す図である。

【図5】従来法により状態数8から状態数4への変更時のパスメモリ回路間の接続例を示す図である。

【図6】パスメモリ回路32の構成例を示す図である。

【符号の説明】

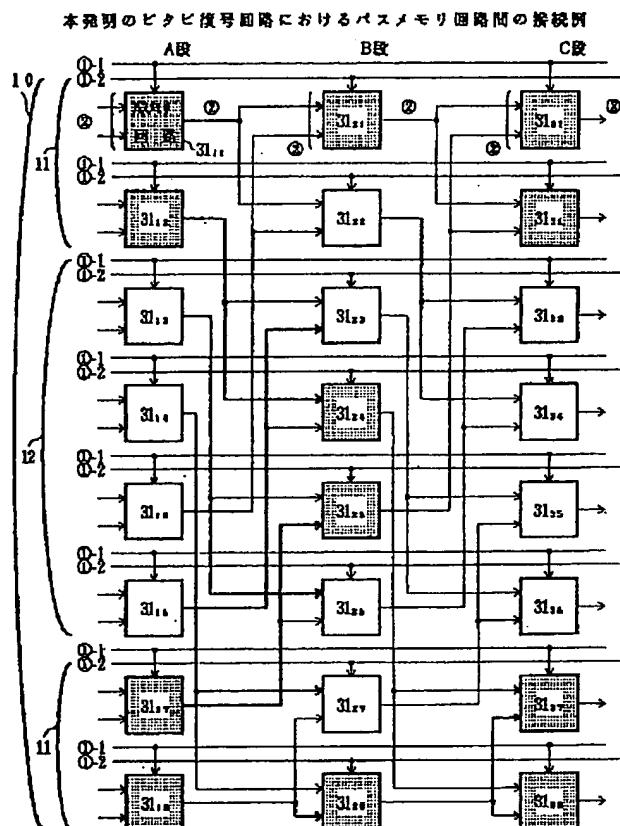
10 状態数8のパスメモリ回路

11, 12 状態数4のパスメモリ回路

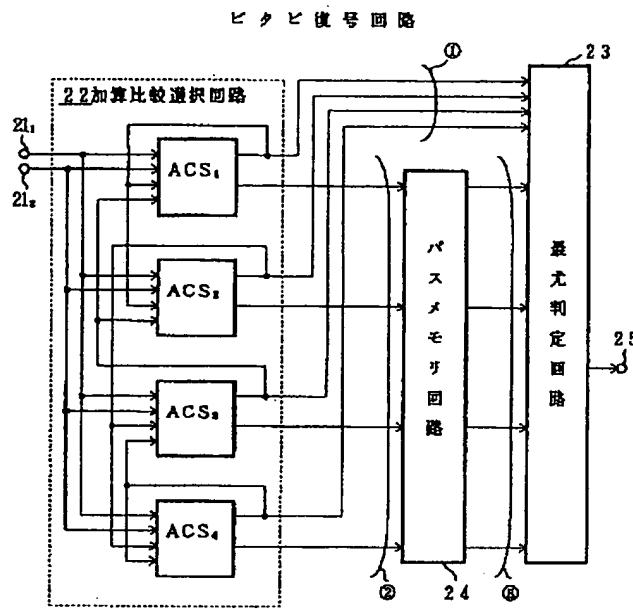
- 2 1 入力端子
 2 2 加算比較選択 (A C S) 部
 2 3 最尤判定回路
 2 4 パスメモリ回路
 2 5 出力端子

- 3 1, 3 2 パスメモリ回路
 4 1, 4 3, 4 5, 4 6 アンドゲート
 4 2, 4 7 インバータ
 4 4, 4 8 オアゲート

【図 1】

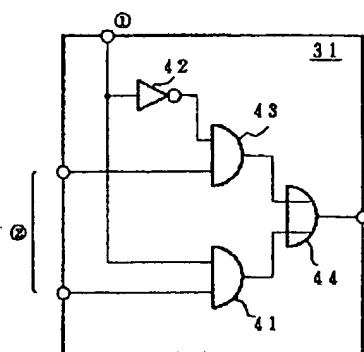


【図 2】



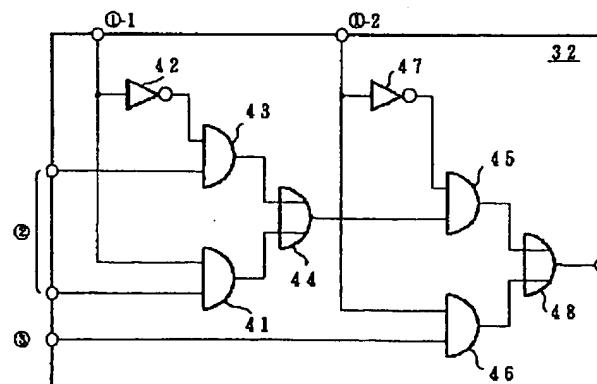
【図 4】

バスメモリ回路 3 1 の構成例



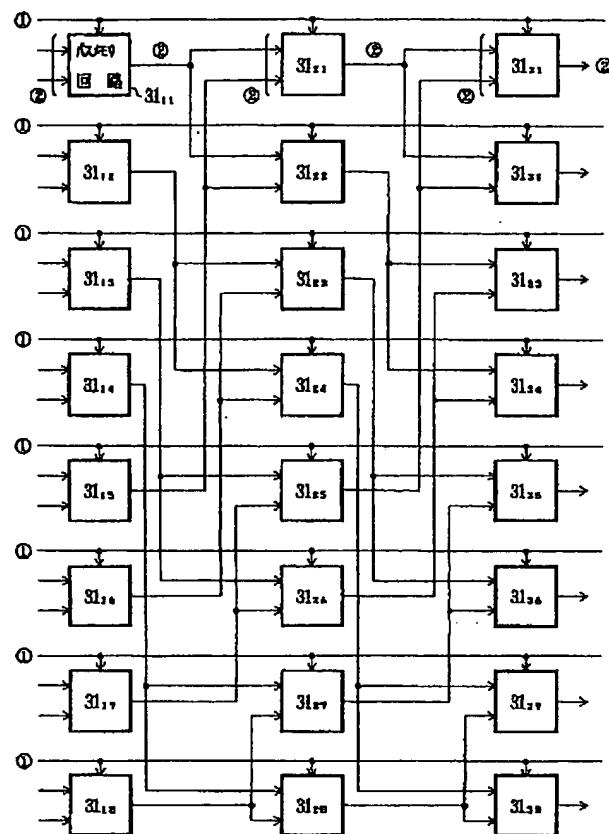
【図 6】

バスメモリ回路 3 2 の構成例



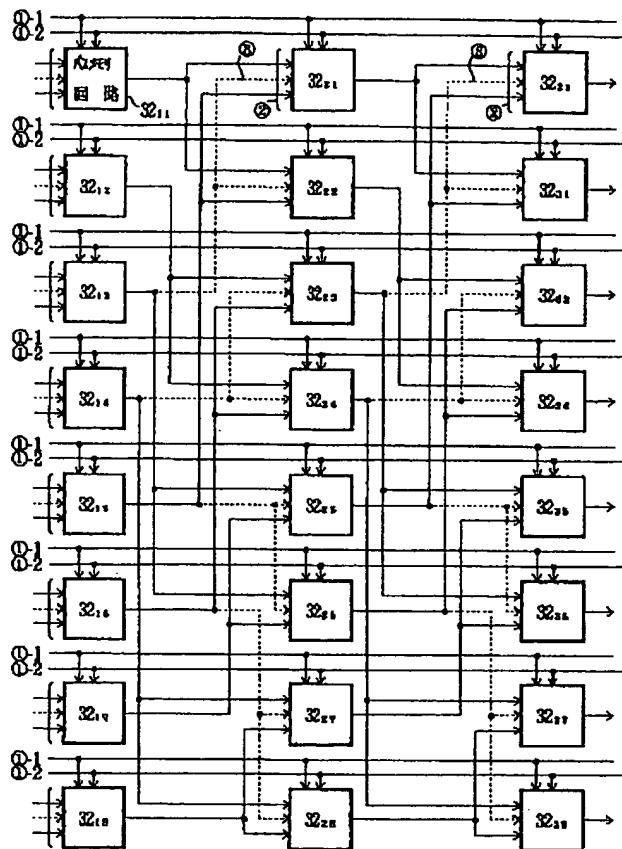
【図3】

従来のビタビ復号回路におけるバスメモリ回路間の接続例



【図5】

従来法により状態数8から状態数4への変更時のバスメモリ回路間の接続例



フロントページの続き

(72)発明者 加藤 修三

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内